

(1) Japanese Patent Application Laid-Open No. 2000-269376 (2000)

“MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE”

The following is an English translation of an extract of the above application.

5 The invention disclosed here relates to a formation method of a wiring of a buried structure for a semiconductor device, and more particularly, to a manufacturing method of the semiconductor which is used for a buried damascene process.

As shown in Fig. 5, a resist 4 is patterned by covering a patterning mask for an electrode wiring (not shown). Next, instead of post-bake, which is conventionally 10 performed, irradiation of UVO_3 is carried out. At this time, for example, UVO_3 having a wavelength of 172nm is used.

As shown in Fig. 6, UVO_3 is irradiated from an UVO_3 irradiator 6. It is desirable that temperature in atmosphere in this case is within the range of 20 and 100. Next, etching such as RIE is performed again to an insulating film 2. At this time, since a 15 contact bottom portion 5 is a hardened resist resulting from the irradiation of UVO_3 , the contact bottom portion 5 is not under the influence, which is caused during etching. Thus, etching of only wiring trench is performed. In order to harden the resist, not only UVO_3 but also UV (ultraviolet) may be used. Post-bake at low temperature may be also performed.

20 Next, as shown in Fig. 7, the resist is ablated by further performing etching using RIE again, for example. At this time, due to the hardened contact bottom portion 5 (cf. Fig. 6), the desired etching effect is obtained without a silicon substrate 1 being etched. Thereafter, as shown in Fig. 8, a metal wiring 8 such as Cu or the like is buried and etched 25 using RIE, for example. After the metal wiring 8 is flattened, the electrode wiring is obtained. Likewise, it is also possible to obtain a multi-layer wiring.

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-269326

(P2000-269326A)

(43)公開日 平成12年9月29日 (2000.9.29)

(51)Int.Cl.⁷

H 0 1 L 21/768
21/28

識別記号

F I

H 0 1 L 21/90
21/28

テーマコード(参考)

C 4 M 1 0 4
L 5 F 0 3 3

審査請求 未請求 請求項の数9 O L (全 7 頁)

(21)出願番号 特願平11-68192

(22)出願日 平成11年3月15日 (1999.3.15)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 栗山 尊章

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝多摩川工場内

(72)発明者 山下 敦子

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝多摩川工場内

(74)代理人 100058479

弁理士 鈴江 武彦 (外6名)

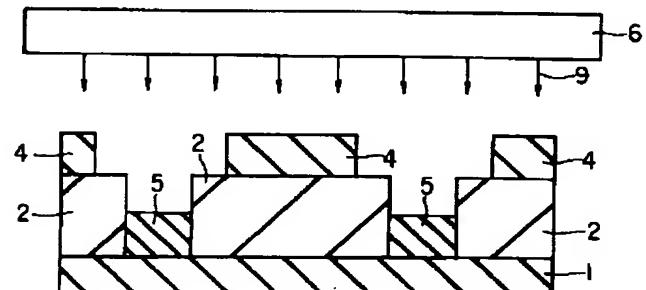
最終頁に続く

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 半導体製造過程での、コンタクトホールのエッティング時に、シリコン基板に達しないようにエッティングを行った後、コンタクトホールの底に残ったレジストを、再度エッティングする際に同時に抜く時に、コンタクトホール底部のオーバーエッティング等の膜厚制御が難しいという問題があった。

【解決手段】 溝配線パターン形成時の現像終了時にUV O₃ 9を照射する事によりレジスト5を硬化させる。



【特許請求の範囲】

【請求項1】基体に絶縁膜を形成する工程と、前記絶縁膜に、前記基体に達するコンタクト孔を形成する工程と、前記コンタクトホール孔の底に、前記基体を保護する保護層を形成する工程と、前記保護層を硬化する工程と、前記絶縁膜に、前記保護層により前記基体を保護しながら前記コンタクト孔に重なる配線溝を形成する工程と、前記コンタクト孔および前記配線溝に、前記基体に接続されている配線を形成することを特徴とする半導体装置の製造方法。

【請求項2】前記保護層は、レジストであることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】前記保護層は、反射防止膜であることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項4】前記保護層を硬化する方法が、短波長光を照射することを特徴とする請求項1から請求項3までのいずれかに記載の半導体装置の製造方法。

【請求項5】前記硬化温度は20°C以上100°C未満としたことを特徴とする請求項1から請求項4までのいずれかに記載の半導体装置の製造方法。

【請求項6】前記短波長光がUVであることを特徴とする請求項1から請求項5までのいずれかに記載の半導体装置の製造方法。

【請求項7】前記短波長光がUVO₃であることを特徴とする請求項1から請求項5までのいずれかに記載の半導体装置の製造方法。

【請求項8】前記レジストを硬化させる方法として低温ペークすることを特徴とする請求項1から請求項7までのいずれかに記載の半導体装置の製造方法。

【請求項9】前記コンタクトホールのパターニングにて現像する時に、所定の厚さ以上にレジストを残留させることを特徴とする請求項1から請求項8までのいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の埋め込み構造の配線形成方法に関するもので、特に埋め込みダマシンプロセスに使用される半導体装置の製造方法に関する。

【0002】

【従来の技術】近年、半導体装置の埋め込み構造の配線形成は微細化の一途をたどり、高信頼性の半導体装置の製造方法が求められてきている。

【0003】従来の技術を以下に図13から図21を用いて説明する。

【0004】図13、図14に示すように、シリコン基板101上に絶縁膜102を形成し、この上にレジストを塗布しレジスト層103を形成する。

2

【0005】次に、図15に示すように、パターニングし、コンタクトホールを形成するためのマスクパターンを形成する。

【0006】次に、図16に示すように、マスクパターンをマスクに用いて、絶縁膜102をRIEし、コンタクトホールを形成する。

【0007】次に、図17に示すように、さらにマスク(図示せず)をかけ、RIEなどでオーバーエッティングを行う。このとき、前記絶縁膜102上のレジスト103は後退し、コンタクトホール内にもレジスト103が残る。

【0008】この後、図18に示すように、ポストペークを行い、レジスト103が硬化される。

【0009】次に、図19に示すように、さらにRIEなどを持ちいてオーバーエッティングを行う。

【0010】このとき、ダマシンプロセスでは、絶縁膜にコンタクトホールを形成後、コンタクトホールを加工するためには、コンタクトホール底部にレジスト103を残してはいけない。

20 【0011】よって従来の技術においては、レジスト103を完全に除去するためには、本来の溝配線エッティング量よりも、オーバーエッティングを実施しなければならない。

【0012】この為、図19に示すように、本来の溝配線寸法よりも大きくなってしまうということがあった。

【0013】また、コンタクトホールのエッティングと同時に、コンタクトホールを加工するため、制御性にかけてしまい、微細化に対応できない。例えば、図19に示すように、前記オーバーエッティングにより、コンタクト30ホールがシリコン基板101に達してしまい、電極を埋め込んだとき、リークが起こることもあった。

【0014】次に図20に示すように、前記レジスト103を剥離させ、A1などの導体を堆積し、導体層105を形成する。

【0015】次に図21に示すように、前記導体層105をRIEなどでエッティングし、配線105を形成する。

【0016】以上のように、従来の技術では、シリコン基板101に達しないよう、コンタクトホールのエッティングを行い、この後、配線溝のエッティングを行い、配線溝のエッティング時に、コンタクトホールが基板101に達するようしている。しかし、配線溝のエッティング時にコンタクト底部がオーバーエッティング等のエッティング量制御が難しいという問題があった。

【0017】

【発明が解決しようとする課題】近年、半導体装置の埋め込み構造の配線形成は微細化の一途をたどり、微細加工技術の高信頼が求められてきている。

【0018】半導体製造過程での、コンタクトホールのエッティング時に、シリコン基板に達しないようにエッチ

3
ングを行い、コンタクトホールの底に残ったレジストを、再度エッティングする際に同時に抜くことで形状を得ているが、コンタクトホール底部のオーバーエッティング等のエッティング量制御が難しいという問題があった。

【0019】本発明の目的は、コンタクト底部のレジスト残しにより、コンタクトホールのエッティング時の耐RIE性が向上させ、コンタクト底部が適正にエッティングされ、微細化が容易な半導体装置の製造方法を提供することである。

【0020】

【課題を解決するための手段】本発明による半導体装置は、基体に絶縁膜を形成する工程と、前記絶縁膜に、前記基体に達するコンタクト孔を形成する工程と、前記コンタクトホール孔の底に、前記基体を保護する保護層を形成する工程と、前記保護層を硬化する工程と、前記絶縁膜に、前記保護層により前記基体を保護しながら前記コンタクト孔に重なる配線溝を形成する工程と、前記コンタクト孔および前記配線溝に、前記基体に接続されている配線を形成することを特徴とするものであり、前記保護層は、レジストであることを特徴とするものであり、前記保護層は、反射防止膜であることを特徴とするものであり、前記保護層を硬化する方法が、短波長光を照射することを特徴とするものである。また、前記硬化温度は20°C以上100°C未満としたことを特徴とし、前記短波長光が、UVであるまたはUVO₃であることを特徴とするものであり、前記レジストを硬化させる方法として低温ペークすることを特徴とするものであり、前記コンタクトホールのバーニングにて現像する時に、所定の厚さ以上にレジストを残留させることを特徴とする半導体装置の製造方法である。

【0021】上記構成を有する半導体集積回路装置であると、コンタクトホールのエッティング時の耐RIE性が向上するため、コンタクト底部がオーバーエッティングされるという問題がなくなり、信頼性が向上する。

【0022】

【発明の実施の形態】本発明は以下の実施の形態を図面を用いて説明するが、本発明はここで説明する実施の形態に限定されるものではない。下記実施の形態は発明の目的を逸脱しない限りにおいて多様に変形することができる。

【0023】本発明の第1の実施の形態を以下に図1から図8を用いて説明する。

【0024】まず、図1、図2に示すように、基体（シリコン基板や配線等）上に、例えばシリコン基板1上に絶縁膜2、レジスト3をこの順序で堆積させる。

【0025】次に、図3に示すように、レジスト3をPEP(Photo Engraving Process)でバーニング後、続いてRIEなどのエッティングを用いて、コンタクトホールを形成する。

【0026】このとき、前記コンタクトホールは、シリ

コン基板1に到達するようにJUSTサイズで形成する。

【0027】次に、図4に示すように、コンタクトホール形成後、再度レジスト4を塗布する。

【0028】さらに、図5に示すように、電極配線用パターン用のマスク（図示せず）をかけレジスト4をバーニングする。

【0029】次に、従来行っていたポストペークの代わりに、UVO₃の照射を行う。このとき、例えば波長1

10 72nmのUVO₃を用いる。

【0030】図6に示すように、UVO₃照射器6から、UVO₃9を照射する。この時の雰囲気中の温度は、20度以上100度未満が望ましい。

【0031】次に絶縁膜2に、例えばRIEなどのエッティングを再度施すが、この時、コンタクト底部5は、前記UVO₃9照射によって硬化したレジストであるので、エッティング時の影響はうけず、配線溝のみのエッティングが施される。

【0032】このとき、前記レジストを硬化するため20 に、UVO₃ではなくUV(ultraviolet)を用いてもよく、また、低温でポストペークを行ってもよい。

【0033】次いで図7に示すように、再度例えばRIEなどを用いてエッティングし、レジストを剥離する。この時、前記硬化されたコンタクト底部5（図6参照）によって、シリコン基板1までエッティングされることなく、希望通りのエッティング効果を得ることができる。

【0034】その後、図8に示すように、例えばCuなどの金属配線8を埋め込み、例えばRIEなどでエッティングし、平坦化後、電極配線を得る。同様にして、多層30 配線を得ることも可能である。

【0035】本発明を用いることにより、コンタクト底部のレジストを残すことができ、コンタクトホールのエッティング時の耐RIE性が向上するため、コンタクト底部はオーバーエッティングされる問題が解消することができる。

【0036】次に、本発明の第2の実施の形態を以下に図9から図12を用いて説明する。

【0037】本発明の第2の実施の形態の第1の実施の形態との相違点は、以下の通りである。本発明の第1の40 実施の形態では、エッティングによってシリコン基板までオーバーエッティングするのを防止するために、レジストをUVO₃によって硬化したが、本発明の第2の実施の形態は、さらに反射防止膜を1層多く堆積させている。

【0038】図9に示すように、本発明の第2の実施の形態は、図3までの第1の実施の形態の工程の後に、反射防止膜7を堆積させる。

【0039】次に、図10に示すように、反射防止膜7を堆積した後、再度レジスト4を塗布する。

【0040】さらに、図11に示すように、電極配線用50 パターン用のマスク（図示せず）をかけレジスト4をバ

ターニングする。

【0041】次いで図12に示すように、再度例えればR1Eなどを用いて絶縁膜2をエッティングする。この時コントакト底部は反射防止膜7のために、シリコン基板1までエッティングされることなく、希望通りのエッティング効果を得ることができる。

【0042】その後、本発明の第1の実施と同様図8に示すように、金属配線8を埋め込み、例えればR1Eなどでエッティングし、平坦化後、電極配線を得る。同様にして、多層配線を得ることも可能である。

【0043】本発明を用いることにより、コントакト底部のレジストを残すことができ、コントакトホールのエッティング時の耐R1E性が向上するため、コントакト底部はオーバーエッティングされる問題が解消することができる。

【0044】

【発明の効果】本発明を用いることにより、コントакトホールのエッティング時の耐R1E性が向上するため、コントакト底部がオーバーエッティングされるという問題がなくなり、信頼性が向上する。また、制御性もコントロールしやすくなる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る半導体装置の製造工程で、基板に絶縁膜を堆積させた時の状態を示す断面図。

【図2】本発明の第1の実施形態に係る半導体装置の製造工程で、絶縁膜にレジストを堆積させた時の状態を示すを示す断面図。

【図3】本発明の第1の実施形態に係る半導体装置の製造工程で、絶縁膜をエッティングした時の状態を示す断面図。

【図4】本発明の第1の実施形態に係る半導体装置の製造工程で、コントакトホールにレジストを堆積させた時の状態を示す断面図。

【図5】本発明の第1の実施形態に係る半導体装置の製造工程で、絶縁膜をエッティングした時の状態を示す断面図。

【図6】本発明の第1の実施形態に係る半導体装置の製造工程で、レジストに紫外線を照射した時の状態を示す断面図。

【図7】本発明の第1の実施形態に係る半導体装置の製造工程で、レジストを剥離した時の状態を示す断面図。

【図8】本発明の第1の実施形態に係る半導体装置の製造工程で、コントакトホールに電極を埋め込み、エッティングした時の状態を示す断面図。

【図9】本発明の第2の実施形態に係る半導体装置の製造工程で、反射防止膜を堆積する時の状態を示す断面図。

【図10】本発明の第2の実施形態に係る半導体装置の製造工程で、コントакトホールにレジストを堆積させた時の状態を示す断面図。

【図11】本発明の第2の実施形態に係る半導体装置の製造工程で、絶縁膜をエッティングした時の状態を示す断面図。

10 【図12】本発明の第2の実施形態に係る半導体装置の製造工程で、レジストと絶縁膜をエッティングした時の状態を示す断面図。

【図13】従来の技術に係る半導体装置の製造工程で、基板に絶縁膜を堆積させた時の状態を示す断面図。

【図14】従来の技術に係る半導体装置の製造工程で、絶縁膜にレジストを堆積させた時の状態を示す断面図。

【図15】従来の技術に係る半導体装置の製造工程で、絶縁膜をエッティングした時の状態を示す断面図。

20 【図16】従来の技術に係る半導体装置の製造工程コントакトホールにレジストを堆積させた時の状態を示す断面図。

【図17】従来の技術に係る半導体装置の製造工程で、絶縁膜をエッティングした時の状態を示す断面図。

【図18】従来の技術に係る半導体装置の製造工程で、ポストベークを行ってレジストを硬化させた状態を示す断面図。

【図19】従来の技術に係る半導体装置の製造工程で、オーバーエッティングを行った状態示す断面図。

30 【図20】従来の技術に係る半導体装置の製造工程で、コントакトホールに電極を埋め込んだ時の状態を示す断面図。

【図21】従来の技術に係る半導体装置の製造工程で、埋め込んだ電極をエッティングした時の状態を示す断面図。

【符号の説明】

1、101…シリコン基板

2、102…絶縁膜

3、103…第1のレジスト

4…第2のレジスト

5…硬化した第2のレジスト

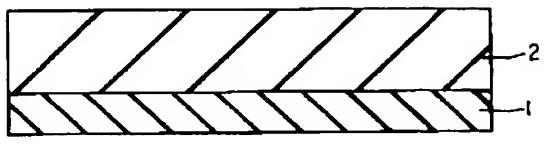
6…紫外線照射装置

7…反射防止膜

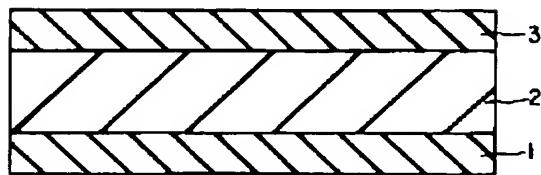
8、105…電極配線

9…紫外線

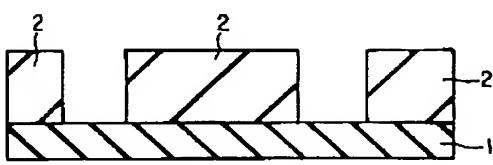
【図1】



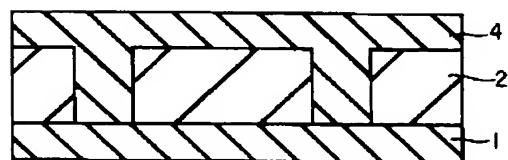
【図2】



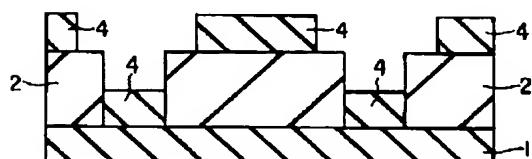
【図3】



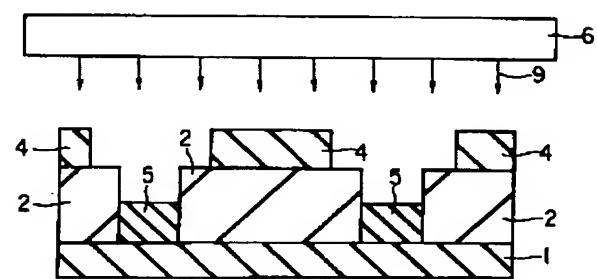
【図4】



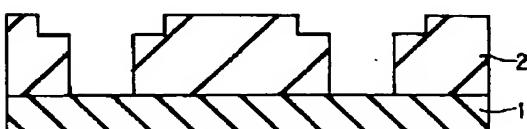
【図5】



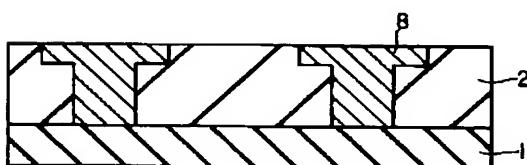
【図6】



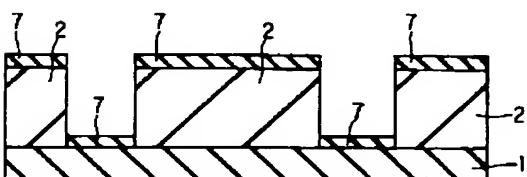
【図7】



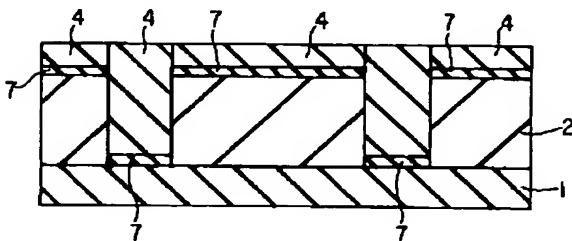
【図8】



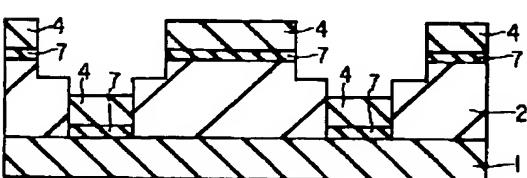
【図9】



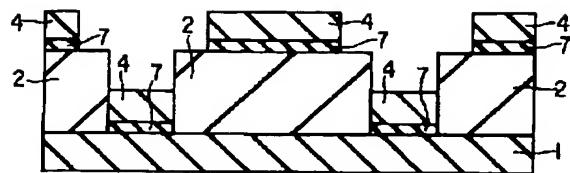
【図10】



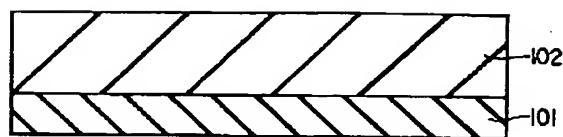
【図12】



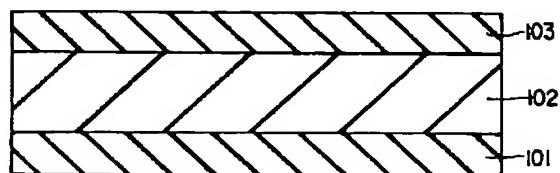
【図11】



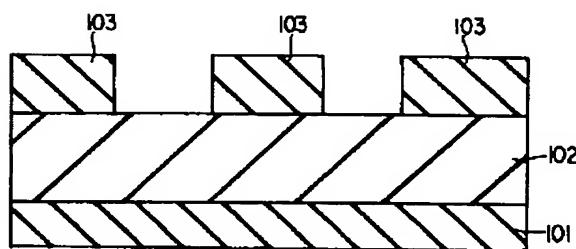
【図13】



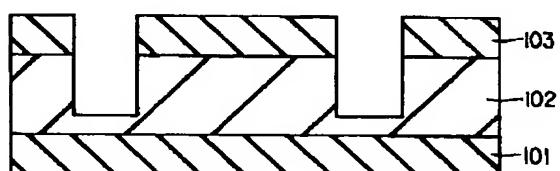
【図14】



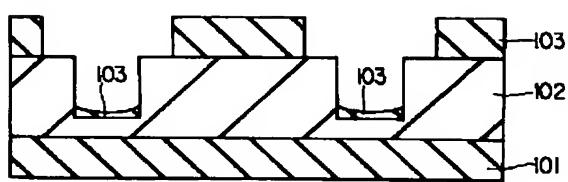
【図15】



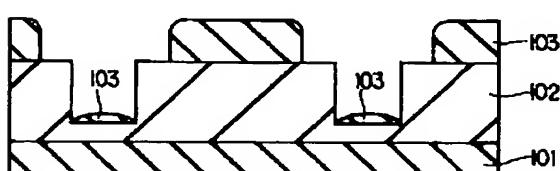
【図16】



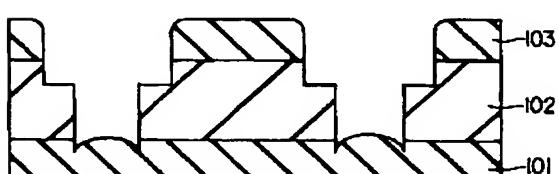
【図17】



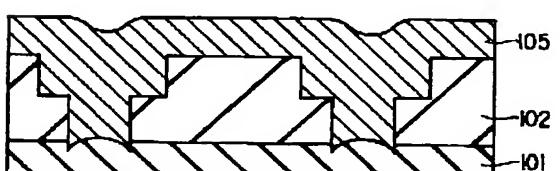
【図18】



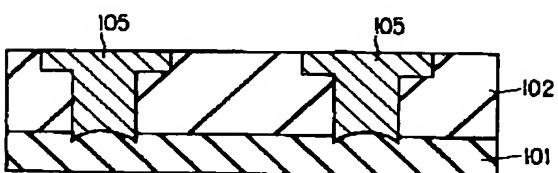
【図19】



【図20】



【図21】



フロントページの続き

F ターム(参考) 4M104 BB04 DD08 DD15 DD20 DD62
DD65 DD73 EE01 EE12 EE14
EE18 FF07 FF21 FF27 GG13
HH20
5F033 HH11 JJ01 JJ11 KK01 MM02
NN01 QQ01 QQ02 QQ09 QQ13
QQ21 QQ25 QQ28 QQ37 QQ54
QQ74 RR01 RR27 TT04 WW00
WW02 WW03 XX00